

PATENT
81790.0204
Express Mail Label No. EL 894 945 091 US

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of:

Natsuki KUSHIYAMA

Serial No: Not assigned

Filed: June 22, 2001

For: SEMICONDUCTOR INTEGRATED CIRCUIT
AND SEMICONDUCTOR APPARATUS
SYSTEM

Art Unit: Not assigned

Examiner: Not assigned

TRANSMITTAL OF PRIORITY DOCUMENT

Box PATENT APPLICATION
Assistant Commissioner for Patents
Washington, D.C. 20231

Dear Sir:

Enclosed herewith is a certified copy of Japanese patent application No. 2000-188857 which was filed June 23, 2000, from which priority is claimed under 35 U.S.C. § 119 and Rule 55.

Acknowledgment of the priority document(s) is respectfully requested to ensure that the subject information appears on the printed patent.

Respectfully submitted,

HOGAN & HARTSON L.L.P.

Date: June 22, 2001

By: 
Michael Crapenhoft
Registration No. 37,115
Attorney for Applicant(s)

500 South Grand Avenue, Suite 1900
Los Angeles, California 90071
Telephone: 213-337-6700
Facsimile: 213-337-6701

日本国特許庁
JAPAN PATENT OFFICE

09/09/06 10:58 AM
JC900 U 887875
06/22/01

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日
Date of Application:

2000年 6月23日

出願番号
Application Number:

特願2000-188857

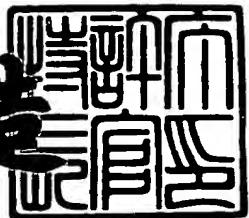
出願人
Applicant(s):

株式会社東芝

2001年 5月18日

特許庁長官
Commissioner,
Japan Patent Office

及川耕造



出証番号 出証特2001-3041447

【書類名】 特許願
【整理番号】 46B0041041
【あて先】 特許庁長官殿
【国際特許分類】 H03K 19/00
【発明の名称】 半導体集積回路及び半導体装置システム
【請求項の数】 11
【発明者】
【住所又は居所】 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝
マイクロエレクトロニクスセンター内
【氏名】 串山 夏樹
【特許出願人】
【識別番号】 000003078
【氏名又は名称】 株式会社 東芝
【代理人】
【識別番号】 100083161
【弁理士】
【氏名又は名称】 外川 英明
【電話番号】 (03)3457-2512
【手数料の表示】
【予納台帳番号】 010261
【納付金額】 21,000円
【提出物件の目録】
【物件名】 明細書 1
【物件名】 図面 1
【物件名】 要約書 1
【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体集積回路及び半導体装置システム

【特許請求の範囲】

【請求項1】

$n - 1$ 個 (n は 2 以上の自然数) の外部基準電位 (V_{REF1} 、 V_{REF2} 、...、 V_{REFn-1}) が入力され、前記外部基準電位とは異なる内部基準電位 (V_{REFi1} 、 V_{REFi2} 、...、 $V_{REFin-1}$) を出力する基準電位変換回路と、

前記基準電位変換回路の出力電位 (V_{REFi1} 、 V_{REFi2} 、...、 $V_{REFin-1}$) が基準電位として入力されて、 n 通りの電位で表現される n 値のデータ信号が入力され、入力されたデータ信号と $n - 1$ 値の基準電位とを比較判定して、判定結果を出力する入力回路と

を有することを特徴とする半導体集積回路。

【請求項2】

前記外部基準電位 (V_{REF1} 、 V_{REF2} 、...、 V_{REFn-1}) と変換後の内部基準電位 (V_{REFi1} 、 V_{REFi2} 、...、 $V_{REFin-1}$) の関係が、 $V_{REFin-1} = V_{REFn-1} + A$ (n は 2 以上の自然数, A は 0 以外の有理数) であるように前記基準電位変換回路が動作することを特徴とする請求項1記載の半導体集積回路。

【請求項3】

前記外部基準電位 (V_{REF1} 、 V_{REF2} 、...、 V_{REFn-1}) と変換後の内部基準電位 (V_{REFi1} 、 V_{REFi2} 、...、 $V_{REFin-1}$) の関係が、 $V_{REFin-1} = B \times V_{REFn-1}$ (n は 2 以上の自然数, B は 0 以外の有理数) であるように前記基準電位変換回路が動作することを特徴とする請求項1記載の半導体集積回路。

【請求項4】

前記外部基準電位 (V_{REF1} 、 V_{REF2} 、...、 V_{REFn-1}) と変換後の前記内部基準電位 (V_{REFi1} 、 V_{REFi2} 、...、 $V_{REFin-1}$) の関係が、 $V_{REFin-1} = C \times V_{REFn-1} + D$ (n は 2 以上の自然数

, C, Dは0以外の有理数) であるように前記基準電位変換回路が動作することを特徴とする請求項1記載の半導体集積回路。

【請求項5】

データを保持する記憶回路と、
前記記憶回路に蓄えられたデータに基づいて前記外部基準電位(VREF1、VREF2、...、VREFn-1)と前記内部基準電位(VREFi1、VREFi2、...、VREFin-1)との関係を変更する制御回路と
をさらに具備することを特徴とする特許請求項1乃至4いずれか1項に記載の半導体集積回路。

【請求項6】

レーザー光によって切断するか切断しないかでデータを保持するレーザーブローヒューズと、

前記レーザーブローヒューズに蓄えられたデータに基づいて前記外部基準電位(VREF1、VREF2、...、VREFn-1)と前記内部基準電位(VREFi1、VREFi2、...、VREFin-1)との関係を変更する制御回路と

をさらに具備することを特徴とする特許請求項1乃至4いずれか1項に記載の半導体集積回路。

【請求項7】

電流によって溶断するか溶断しないかでデータを保持する電流溶断型ヒューズと、

前記電流溶断型ヒューズに蓄えられたデータに基づいて前記外部基準電位(VREF1、VREF2、...、VREFn-1)と前記内部基準電位(VREFi1、VREFi2、...、VREFin-1)との関係を変更する制御回路と
をさらに具備することを特徴とする特許請求項1乃至4いずれか1項に記載の半導体集積回路。

【請求項8】

電圧によって絶縁膜を破壊するか破壊しないかでデータを保持する絶縁膜破壊型ヒューズと、

前記絶縁膜破壊型ヒューズに蓄えられたデータに基づいて前記外部基準電位（VREF₁、VREF₂、...、VREF_{n-1}）と前記内部基準電位（VREF_{i1}、VREF_{i2}、...、VREF_{in-1}）との関係を変更する制御回路と

をさらに具備することを特徴とする特許請求項1乃至4いずれか1項に記載の半導体集積回路。

【請求項9】

データを保持する記憶回路と、
前記記憶回路に蓄えられているデータを書き換える回路と、
前記記憶回路に蓄えられたデータに基づいて前記外部基準電位（VREF₁、VREF₂、...、VREF_{n-1}）と前記内部基準電位（VREF_{i1}、VREF_{i2}、...、VREF_{in-1}）との関係を変更する制御回路と

をさらに具備することを特徴とする特許請求項1乃至4いずれか1項に記載の半導体集積回路。

【請求項10】

クロック信号の上昇、下降の両エッジ、もしくはどちらかのエッジのタイミングで、前記入力回路は入力されたデータ信号とn-1値の基準電位とを比較判定して、判定結果を出力することを特徴とする請求項1乃至9いずれか記載の半導体集積回路。

【請求項11】

入出力端子部と、この入出力端子部に接続されたデータ信号線及び外部基準信号線とを有するマザーボードと、

前記外部基準信号線に接続され、n-1個（nは2以上の自然数）の外部基準電位（VREF₁、VREF₂、...、VREF_{n-1}）が入力され、前記外部基準電位とは異なる別の電位（VREF_{i1}、VREF_{i2}、...、VREF_i_{n-1}）を出力する基準電位変換回路と、前記基準電位変換回路の出力電位（VREF_{i1}、VREF_{i2}、...、VREF_{in-1}）が基準電位として入力され、前記データ信号線からデータ信号が入力され、入力されたデータ信号とn-1値の基準電位とを比較判定して、判定結果を出力する入力回路とを有し、前記

マザーボード上に搭載された複数個の半導体集積回路と
を具備することを特徴とする半導体装置システム。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は外部基準電位との比較で入力ピンの論理値を判定する半導体集積回路に係り、特に入力ピンの電圧振幅が小さい場合の論理値を判定する半導体集積回路及び半導体装置システムに関する。

【0002】

【従来の技術】

近年、半導体集積回路では特に半導体記憶装置においては動作速度が200MHz程度以上の高速化の傾向に伴い、外部インターフェースとして1V程度以下の小振幅インターフェースが用いられるようになっている。これらの小振幅インターフェースではアドレスピン、データ入力ピン、クロック入力ピン等の入力ピンのHレベルまたはLレベルの論理値判定に外部基準電位VREFを使用している。

【0003】

半導体集積回路内の入力回路（インプットレシーバ）は入力ピンの電位とVREFピンの電位を比較し、入力ピンの電位がVREFピンより高い場合には論理値Hレベル（負論理を使用する半導体集積回路ではLレベル）、逆に入力ピンの電位がVREFピンよりも低い場合には論理値Lレベル（負論理を使用する半導体集積回路ではHレベル）と判断する。シンクロナスDRAMのような同期式半導体集積回路では、インプットレシーバによるアドレス、データの取り込みは外部クロックに同期して行われる。クロックの上昇、下降、もしくは両エッジと同時に入力ピンの電位とVREFピンの電位を比較して論理値HレベルまたはLレベルの判定を行う。

【0004】

図13には従来技術を用いた半導体集積回路の入力回路部分を示すブロック図が示される。インプットレシーバ100にはVREFピン101からVREF入

力端子102を経て入力された外部基準電位VREFと、データピン103からデータ入力端子104を経て入力されたデータと、内部クロック信号発生回路105からクロック入力端子106を経て入力されたCLOCK信号がそれぞれ入力されている。

【0005】

インプットレシーバ100は入力されたCLOCK信号の上昇エッジの瞬間にVREFとデータの電位の大小関係を比較し、データの電位の方がVREF電位より高い場合には、出力端子107からHレベル信号を出力し、逆にデータの電位の方がVREF電位より低い場合には、出力端子107からLレベル信号を出力する回路構成になっている。なお、VREFの変動を抑えるための容量108がVREFピン101と接地電位間に設けられている。

【0006】

ここで、半導体集積回路のインプットレシーバの性能を表す指標としては電圧指標と時間指標がある。

【0007】

電圧指標はVREFのHレベルマージン及びLレベルマージンを指す。外部基準電位VREFをアドレスピン、データ入力ピン等の入力ピンの論理値判定の基準電位として使用する半導体集積回路では、インプットレシーバがVREF電位と入力ピン電位とを比較する。

【0008】

たとえば、入力ピンのHレベル電位が2.0V、Lレベル電位が1.0V、VREF電位が1.5Vで使用される半導体集積回路の場合を想定する。入力ピンのHレベル電位とLレベル電位を固定したまま、VREF電位を上下させて、半導体集積回路がどのようなVREF電位で動作するかを試験する。理想的にはVREF電位は入力ピンのLレベル電位である1.0Vよりわずかながら高い電位(たとえば1.01V)から、入力ピンのHレベル電位である2.0Vよりわずかながら低い電位(たとえば1.99V)まで動作するはずである。しかしながら、現実には入力信号のオーバーシュート、アンダーシュート、VREF電位の揺れ、電源の揺れ、インプットレシーバの特性などの影響から、半導体集積回路が

動作可能なVREF電位の範囲はもっと狭くなる。

【0009】

たとえば、ある動作条件で、動作可能なVREF電位の範囲が1.3Vから1.9Vであると仮定する。外部基準電位VREFの設定値は1.5Vであるから、VREFを下げて行く方向では1.5Vから1.3Vの差をとった0.2Vの電圧マージンがあることになる。これをVREFのLレベルマージンと呼ぶ。すなわち、どの位まで外部VREF電位を下げても入力ピンのLレベルが正しく取り込めるかがVREFのLレベルマージンである。

【0010】

また、VREFを上げて行く方向では1.9Vから1.5Vの差をとった0.4Vの電圧マージンがあることになる。これをVREFのHレベルマージンと呼ぶ。すなわち、どの位まで外部VREF電位を上げても入力ピンのHレベルが正しく取り込めるかがVREFのHレベルマージンである。この場合ではVREFのHレベルマージンのほうがVREFのLレベルマージンよりも0.2V大きい。

【0011】

ここで、半導体集積回路としてのマージンはVREFのHまたはLレベルのマージンの小さい方で規定されるので、VREFのHレベルマージンとVREFのLレベルマージンが等しくなったときが半導体集積回路としてのVREFマージンが最大になる。この例ではVREFが1.6V、VREFのHレベルのマージンが0.3V、VREFのLレベルのマージンが0.3Vの場合が半導体集積回路としてのVREFマージンが最大である。このようにVREF電位を1.5Vから1.6Vに上げればチップとしてのVREFマージンを改善できる。しかし、マザーボード上に数十個の半導体記憶装置を搭載する一般的なシステムではVREFは複数の半導体集積回路で共有されており、特定の半導体集積回路の都合だけでVREF電位を変更することができない。

【0012】

半導体集積回路のインプットレシーバの性能を表す時間指標としてセットアップタイム、ホールドタイムがある。セットアップタイムとはインプットレシーバ

が入力ピンのデータを正しく取り込むためにクロックの上昇、下降、あるいは両エッジに対してどれだけ前に入力ピンの状態（電位）が確定していなければならぬかを時間で表した数値である。ホールドタイムとは半導体集積回路のインプットトレシーバが入力ピンのデータを正しく取り込むためにクロックの上昇、下降、あるいは両エッジに対してどれだけ後まで入力ピンの状態（電位）を保持していなければならないかを時間で表した数値である。

【0013】

ここで、セットアップタイムもホールドタイムも短いほどインプットトレシーバの高速性能が高い。理想的にはHレベルデータの取り込み時（入力データがLレベル→Hレベル→Lレベルと遷移する場合）のセットアップ、ホールドタイムと、Lレベルデータの取り込み時（入力データがHレベル→Lレベル→Hレベルと遷移する場合）のセットアップ、ホールドタイムは等しいはずだが、現実にはそうならず、どちらかが他方より悪くなる。外部から来る入力データとしてはHレベル、Lレベルが混在しているので、半導体集積回路としてのセットアップ、ホールドタイムはHレベル取り込みのセットアップ、ホールドタイムとLレベル取り込みのセットアップ、ホールドタイムとのいずれかの悪い方と等しくなる。

【0014】

Hレベル取り込みのセットアップ、ホールドタイムとLレベル取り込みのセットアップ、ホールドタイムにはVREF電位依存性がある。ここで、VREF電位を低くすると、Hレベル入力電位とVREF電位の差が広がり、Hレベルデータが取り込みやすくなるので、Hレベル取り込みのセットアップ、ホールドタイムは良くなるが、逆にLレベル入力電位とVREF電位の差が狭まり、Lレベルデータが取り込みにくくなるので、Lレベル取り込みのセットアップ、ホールドタイムは悪くなる。反対にVREF電位を高くすると、Lレベル取り込みのセットアップ、ホールドタイムは良くなり、Hレベル取り込みのセットアップ、ホールドタイムは悪くなる。

【0015】

上述のように、Hレベル取り込みのセットアップ、ホールドタイムとLレベル取り込みのセットアップ、ホールドタイムは相補の関係（どちらかが良くなると

、もう一方が悪くなる)があるので、半導体集積回路としてのセットアップタイム、ホールドタイムを最小にするにはHレベル取り込みのセットアップ、ホールドタイムとLレベル取り込みのセットアップ、ホールドタイムを等しくすれば良い。また、上述のようにHレベル取り込みのセットアップ、ホールドタイムとLレベル取り込みのセットアップ、ホールドタイムにはVREF電位依存性があるので、VREF電位を最適な電位にセットすることでHレベル取り込みのセットアップ、ホールドタイムとLレベル取り込みのセットアップ、ホールドタイムを等しくすることが可能である。

【0016】

ここで、VREF電位を使用しているのものが当該半導体集積回路だけであるならばVREF電位を最適な電位に変更することができるが、実際には上述の通り、VREF電位はシステム上で他の半導体集積回路と共に使われており、あるひとつの半導体集積回路だけの都合でVREF電位を変更することができない。たとえば、あるシステムで共通のVREFとして1.5Vなる電位が使われていたとする。あるひとつの半導体集積回路としてはVREF電位が1.6Vの時にセットアップ、ホールドタイムが最短になることがわかっているが、そのシステム上の他の半導体集積回路ではVREFが1.5Vであることが最良である場合、VREF電位を1.5Vから変更するわけには行かない。

【0017】

【発明が解決しようとする課題】

以上のような従来の半導体集積回路では、以下の課題が生じる。

【0018】

上述の通り、半導体集積回路の入力ピンのセットアップ、ホールドタイムには外部VREF電位に依存性があり、外部VREF電位を調整することにより、セットアップ、ホールドタイムを最小にでき、かつVREFのHレベルマージン、VREFのLレベルマージンを拡大できることがわかっている。しかし、システムを構成し、VREFを共通に使用しているほかの半導体集積回路との兼ね合いがあり、外部VREF電位を変更できないという課題がある。

【0019】

なお、特開平7-79149号公報には、その図1などに半導体集積回路外部に抵抗を取り付けて、プリント基板に実装した時のノイズ状況に合わせて、信号入力回路の高低2つの比較電圧を調整してノイズマージンを大きくする技術が記載されているが、外部VREFのレベルを半導体集積回路内部で別の電位に変換して、入力回路において比較判定する点は記載されていない。

【0020】

本発明の目的は以上のような従来技術の課題を解決することにある。

【0021】

特に、本発明の目的は、Hレベル取り込みセットアップ、ホールドタイムとLレベル取り込みセットアップ、ホールドタイムをできるだけ近づけ、かつVREFのHレベルマージンとVREFのLレベルマージンができるだけ近くなるようなVREF電位を入力回路に提供し、好ましいセットアップ、ホールドタイム、VREFのHレベルマージン、VREFのLレベルマージンが得られるような半導体集積回路を提供することである。

【0022】

【課題を解決するための手段】

上記課題を解決するために、本発明によれば、 $n - 1$ 個（nは2以上の自然数）の外部基準電位（VREF1、VREF2、...、VREFn-1）が入力され、前記外部基準電位とは異なる内部基準電位（VREFi1、VREFi2、...、VREFin-1）を出力する基準電位変換回路と、前記基準電位変換回路の出力電位（VREFi1、VREFi2、...、VREFin-1）が基準電位として入力され、データ信号が入力され、入力されたデータ信号と $n - 1$ 値の基準電位とを比較判定して、判定結果を出力する入力回路とを有することで、好ましいセットアップ、ホールドタイム、VREFのHレベルマージン、VREFのLレベルマージンが得られるような半導体集積回路を提供できる。

【0023】

さらに本発明の別の態様によれば、入出力端子部と、この入出力端子部に接続されたデータ信号線及び外部基準信号線とを有するマザーボードと、前記外部基準信号線に接続され、 $n - 1$ 個（nは2以上の自然数）の外部基準電位（V

V_{REF1} 、 V_{REF2} 、...、 V_{REFn-1} ）が入力され、前記外部基準電位とは異なる別の電位（ V_{REFi1} 、 V_{REFi2} 、...、 $V_{REFin-1}$ ）を出力する基準電位変換回路と、前記基準電位変換回路の出力電位（ V_{REFi1} 、 V_{REFi2} 、...、 $V_{REFin-1}$ ）が基準電位として入力され、前記データ信号線からデータ信号が入力され、入力されたデータ信号と $n-1$ 値の基準電位とを比較判定して、判定結果を出力する入力回路とを有し、前記マザーボード上に搭載された複数個の半導体集積回路とを具備する半導体装置システムとして、好ましいセットアップ、ホールドタイム、 V_{REF} の H レベルマージン、 V_{REF} の L レベルマージンが得られるような半導体集積回路を搭載した半導体装置システムを提供できる。

【0024】

【発明の実施の形態】

次に、図面を参照して、本発明の実施の形態を説明する。以下の図面の記載において、同一又は類似の部分には、同一又は類似の符号を付している。

（第1の実施の形態）

本発明にかかる第1の実施の形態にかかる半導体集積回路を、図1を用いて説明する。

【0025】

図1は本発明の第1の実施の形態に関する半導体集積回路の構成を示すブロック図である。図1に係る部分は半導体集積回路の入力回路周辺部分に相当し、半導体記憶装置の場合ではここからメモリセル領域（図示せず）中のセンスアンプなどへ信号が伝達される。インプットレシーバ1は入力端子2、REF端子3、クロック端子4、出力端子5の4つの端子を持っている。インプットレシーバ1はクロック端子4から入力されるCLOCK信号の上昇エッジの瞬間に、入力端子2から入力される電位と、REF端子3から入力される電位とを比較し、入力端子2の電位がREF端子3の電位より高い場合に、出力端子5からHレベルの出力信号を出力する。

【0026】

インプットレシーバ1の入力端子2には外部データ端子6が接続され、クロック

ク端子4には半導体集積回路外部から供給されるか、もしくは半導体集積回路内部で作られたCLOCK信号が入力される。外部VREF端子7は基準電位変換回路8のREFIN端子9に接続される。基準電位変換回路8の出力であるREFOUT端子10は内部基準電位を伝播するVREFi配線11に接続され、VREFi配線11はインプットレシーバ1のREF端子3に接続される。ここで、内部基準電位VREFiの変動を抑えるための容量12がVREFi配線11と接地電位間に設けられている。

【0027】

次に基準電位変換回路8の詳細例は図2に示される通りである。入力端子REFIN9は第1の抵抗13の一方の端子に接続され、他方の端子はREFOUT端子10に接続されている。第2の抵抗14の一方の端子はREFOUT端子10に接続され、他方の端子は接地電位に接続されている。本実施の形態では内部VREFi電位を外部VREF電位の0.9倍の関係を持たせる場合としている。このような構成を持つ回路で、第1の抵抗13と第2の抵抗14の抵抗比を9:1に設定(たとえば第1の抵抗13を9K Ω 、第2の抵抗14を1K Ω)すると、VREFi配線11には $VREF \times 0.9$ なる電圧が現れ、インプットレシーバ1のREF端子3には $VREFi = VREF \times 0.9$ なる電圧がかかることになる。

【0028】

次にインプットレシーバ1の詳細例は図3に示される通りである。インプットレシーバ1は、第1乃至第5のNMOSトランジスタ15, 17, 18, 19, 20、第1及び第2のPMOSトランジスタ16, 21を有している。第1のNMOSトランジスタ15はゲートがIN端子2に接続されていて、ドレインは第2のNMOSトランジスタ17のソースに接続されている。第2のNMOSトランジスタ17のドレインは第1 PMOSトランジスタ16のドレインに接続され、ゲートはOUT端子5及び第1 PMOSトランジスタ16のゲートに接続されている。第1のPMOSトランジスタ16は、ソースが電源電位に接続されている。第3のNMOSトランジスタ18はソースが接地電位に接続され、ゲートがクロック端子4に接続され、ドレインが第1 NMOSトランジスタ15のソース

に接続されている。第4のNMOSトランジスタ19はドレインがOUT端子5に接続され、ゲートが第2NMOSトランジスタ17、第1PMOSトランジスタ16のそれぞれのドレインに接続されている。第5のNMOSトランジスタ20はそのゲートがREF端子3に接続され、ソースが第3のNMOSトランジスタ18のドレインに接続され、ドレインが第4のNMOSトランジスタ19のソースに接続されている。さらに第2のPMOSトランジスタ21はそのソースが電源電位に接続され、ドレインがOUT端子5に接続され、ゲートが第1PMOSトランジスタ16のドレイン、第2NMOSトランジスタ17のドレイン及び第4のNMOSトランジスタ19のゲートに接続されている。

【0029】

図1の回路の動作波形は図4に示される通りである。ここでは外部VREF端子7の電位は1.5Vで一定であり、外部データ端子6の電位はLレベル電位を1.0Vとし、Hレベル電位を2.0Vとした振幅1.0Vの信号が入力されている。CLOCK信号の最初の上昇エッジではデータ電位はVREF電位より大きいため、出力端子5からはHレベル信号が出力される。CLOCK信号の2番目の上昇エッジではデータ電位はVREF電位よりも小さいため、出力端子5からはLレベル信号が出力される。以下、この繰り返しで、CLOCK信号の奇数番目の上昇エッジではHレベルを、CLOCK信号の偶数番目の上昇エッジではLレベルを取り込む。このような構成を持った半導体集積回路において、CLOCK信号の上昇エッジのタイミングをデータピンのタイミングに対して前後させ、かつ外部VREF端子7から入力する電位を上下させて出力端子5から出力される信号を試験する。

【0030】

図5にCLOCK信号の上昇エッジの奇数番目に正しくHレベルが取り込まれた場合をパス(pass)、誤ってLレベルが取りこまれた場合をフェイル(fail)と判定したシムープロット(Schmoo Plot)を示す。この図5中でパス領域は実線の斜線で示された領域に相当し、フェイル領域がパス領域の外側の点線で示された領域に相当する。このシムープロットでは縦軸に外部VREF端子7の電位、横軸にクロック端子4の上昇エッジのタイミングを示す

。このシュムープロットの横軸の左端、右端、中心はそれぞれ入力端子2がLレベルからHレベルに遷移する瞬間、入力端子2がHレベルからLレベルに遷移する瞬間、CLOCK信号の上昇エッジがちょうど入力端子2の電位が遷移するタイミングの中心に来た瞬間に相当する（シュムープロット上のデータ波形参照）。このシュムープロットでバス領域とフェイル領域の境界線と外部VREF端子7の電位が1.5Vの線の交点を求め、左側をa点、右側をb点とする。

【0031】

シュムープロットの左端とa点との時間差は、CLOCK信号の上昇エッジに対してどれだけ前に入力端子2がHレベルになっていればHレベルのデータが正しく取り込めるかを示していて、Hレベルのデータ取り込みのセットアップタイムに相当する。シュムープロットの右端とb点との時間差は、CLOCK信号の上昇エッジに対してどれだけ外部データ端子6をHレベルに保持しておけばHレベルのデータが正しく取り込めるかを示していて、Hレベルのデータ取り込みのホールドタイムに相当する。この図5の場合はHレベルデータ取り込みのセットアップタイムは100ps、ホールドタイムも100psである。

【0032】

CLOCK信号の上昇エッジの瞬間、つまり横軸の中心を鉛直方向上側に伸ばした直線とバス領域とフェイル領域の境界線の交点をg点とすると、外部VREF端子7が1.5Vの電位の線とg点との電位差400mVは、どれだけ外部VREF端子7の電位が1.5Vより高くなってもHレベルデータが正しく取り込まれるかを表わしており、VREFのHレベルマージンに相当する。

【0033】

図6にCLOCK信号の上昇エッジの偶数番目に正しくLレベルが取り込まれた場合をバス、誤ってHレベルが取りこまれた場合をフェイルと判定したシュムープロットを示す。この図6中でバス領域は実線で示された領域に相当し、フェイル領域がバス領域の外側の点線で示された領域に相当する。このシュムープロットでは縦軸に外部VREF端子7の電位、横軸にクロック端子4の上昇エッジのタイミングを示す。このシュムープロットの横軸の左端、右端、中心はそれぞれ入力端子2がHレベルからLレベルに遷移する瞬間、入力端子2がLレベルか

らHレベルに遷移する瞬間、CLOCK信号の上昇エッジがちょうど入力端子2の電位が遷移するタイミングの中心に来た瞬間に相当する（シムープロット上のデータ波形参照）。

【0034】

このシムープロットでバス領域とフェイル領域の境界線と外部VREF端子7の1.5Vの電位の線との交点を求め、左側をc点、右側をd点とする。シムープロットの左端とc点との時間差は、クロックの上昇エッジに対してどれだけ前に入力端子2がLレベルになっていればLレベルのデータが正しく取り込めるかを示していて、Lレベル取り込みのセットアップタイムに相当する。

【0035】

シムープロットの右端とd点との時間差は、CLOCK信号の上昇エッジに対してどれだけ外部データ端子6をLレベルに保持しておけばLレベルのデータが正しく取り込めるかを示していて、Lレベル取り込みのホールドタイムに相当する。この図6の場合はHレベルのデータ取り込みのセットアップタイムは200ps，ホールドタイムも200psである。CLOCK信号の下降エッジの瞬間、つまり横軸の中心を鉛直方向下側に伸ばした直線とバス領域とフェイル領域の境界線の交点をhとすると、1.5Vの外部VREF端子7の電位の線とh点の電位差200mVは、どれだけ外部VREF端子7の電位が1.5Vより低くなってもLレベルデータが正しく取り込まれるかを表わしていて、VREFのLレベルマージンに相当する。

【0036】

図7に図5と図6の合成シムープロットを示す。このシムープロットのバス領域が半導体集積回路として正しくデータを取り込める領域である。このシムープロットでバス領域とフェイル領域の境界線と外部VREF端子7の1.5VのVREFの線との交点を求め、左側をe点、右側をf点とする。シムープロットの左端とe点との時間差は、CLOCK信号の上昇エッジに対してどれだけ前に入力端子2が確定していればデータが正しく取り込まれるかを示していて、セットアップタイムに相当する。シムープロットの右端とf点との時間差は、クロック信号の上昇エッジに対してどれだけ入力端子2を保持しておけばデータ

が正しく取り込めるかを示していて、ホールドタイムに相当する。

【0037】

この図7の場合ではセットアップタイムは200ps、ホールドタイムも200psであり、図6で示したLレベルデータの取り込みのセットアップ、ホールドタイムと等しいことがわかる（シュムープロット上のデータ波形参照）。つまり、半導体集積回路としてのセットアップ、ホールドタイムはLレベルデータ取りこみのセットアップ、ホールドタイムで律速されている。ここでは、この図から、セットアップ、ホールドタイムにはVREF電位依存性があることがわかる。VREF電位を1.5Vから1.6Vに上げればセットアップ、ホールドタイムを150psまで改善できる。また、同じようにVREF電位を1.5Vから1.6Vに上げればVREFのHレベルのマージンとVREFのLレベルのマージンを等しく300mVずつにすることができる。

【0038】

ここで、上述したように一般的なシステムではVREFは複数の半導体集積回路で共有されており、その半導体集積回路の都合だけで電位を変更することができないが、本実施の形態を適用することによりVREFを個別の半導体集積回路ごとに最適な値に変更でき、個々の半導体集積回路のセットアップタイム、ホールドタイムを最小とすることができます。また、内部基準電位を変化させることで、Hレベル取り込み時の電圧マージンとLレベル取り込み時の電圧マージンとを等しくする、もしくは近づけることができ、半導体集積回路としてのデータ取り込み時の電圧マージンを向上することができる。このため、ノイズが信号線に乗って、フェイルとなっていた場合でも本実施の形態ではパスとなる可能性が増加する。なお、本実施の形態では、わずかにふたつの抵抗素子を追加するだけで実現できる点で、高集積化された半導体集積回路に適用した場合のスケールメリットがある。

【0039】

ここで、本実施の形態は特に半導体記憶装置に限定して適用されるものではなく、メモリ混載論理集積回路やMPUなどの入力回路周辺にも同様に適用できる。

【0040】

また、半導体集積回路を搭載するマザーボードとの相性により、搭載後に特性測定を行って、適宜、内部基準電位VREFiの電位を変更することも可能である。

(第1の実施の形態の変形例)

図8に示されるように第1の実施の形態で示された、外部VREF端子7から、REF端子3までの外部基準電位変換回路8を含んだ回路を複数個、例えばn-1個(nは自然数)設けて、(n-1)値の外部基準電位を使用してn値のデータを取り込むインプットレシーバ22にも第1の実施の形態で示した外部基準電位変換回路8を複数個設けることで適用できる。ここでは、VREF端子7、基準電位変換回路8、VREFi配線11、容量12及びREF端子3、出力端子5はそれぞれn個設けられている。論理値が3以上の入力データが入力端子2に入力されて、複数のVREF端子7はそれぞれ電位が異なる外部基準電位が与えられ、それに対応して出力端子5から論理値が3以上の出力データが出力される。

【0041】

このように構成することで、(n-1)値の外部基準電位であっても内部基準電位を生成でき、半導体集積回路のセットアップタイム、ホールドタイムを最小とすることができます。さらに内部基準電位を変化させることで、Hレベル取り込み時の電圧マージンとLレベル取り込み時の電圧マージンとを等しくする、もししくは近づけることができ、半導体集積回路としてのデータ取り込み時の電圧マージンを向上することができる。第1の実施の形態では入力データの論理値が2値であり、外部基準電位VREFがひとつだけである例について説明したが、このように入力データの論理値が3値以上で外部基準電位VREFが複数ある場合も同様に実現できる。

(第2の実施の形態)

次に、内部VREFi電位をVREF電位より0.1Vだけ高くなる関係を持たせる場合を説明する。本実施の形態における半導体集積回路のブロック図は第1の実施の形態に関わる半導体集積回路のブロック図である図1と同様である。

ここでは、第1の実施の形態と異なる基準電位変換回路の詳細回路について説明する。図9に本発明の第2の実施の形態に関する基準電位変換回路の回路図を示す。

【0042】

ここでは、REFIN端子9がオペレーショナルアンプ23の負端子24に接続されている。オペレーショナルアンプ23の正端子25は基準電位変換回路内のREFCOPYノード26に、出力端子27はNMOSトランジスタ28のゲート端子に接続されている。このNMOSトランジスタ28のドレイン端子はREFCOPYノード26に、ソース端子は接地電位に接続されている。REFCOPYノード26には例えば抵抗値 $1\text{ K}\Omega\text{hm}$ の抵抗素子29の一端が接続されている。この抵抗素子29の他端はREFOUT端子10に接続されている。また、REFOUT端子10には定電流源30が接続されている。この定電流源30は例えば、 $100\mu\text{A}$ の定電流を流すものとする。

【0043】

半導体記憶装置の場合、メモリセルに複数種の電位が必要であり、その電位を半導体記憶装置内で発生させるために定電流源を複数個有していて、その回路構成を流用して入力回路周辺に定電流源を配置することができる。

【0044】

オペレーショナルアンプ23は正端子25に入力される電位が負端子24に入力される電位よりも高い場合に、出力端子27からHレベルを出力し、逆ならLレベルを出力する。この例ではREFIN端子9よりもREFCOPYノード26の電位が高いと出力端子27がHレベルになるため、NMOSトランジスタ28がオン状態になり、REFCOPYノード26の電位が下降する。逆に、REFIN端子9よりもREFCOPYノード26の電位が低いと出力端子27がLレベルになるため、NMOSトランジスタ28がオフ状態になり、REFCOPYノード26の電位が上昇する。その動作の繰り返しによりREFCOPYノード26の電位とREFIN端子9の電位が等しくなったときに平衡状態となる。

【0045】

従って、REFCOPYノード26にはREFIN端子9と同じ電位、すなわ

ち外部基準電位VREFが現れる。ここで、定電流源30は抵抗素子29とN MOSトランジスタ28に $100\mu A$ の電流を流す。こうして抵抗素子29の両端には $1K\Omega \text{hm}$ と $100\mu A$ の積である 0.1V の電位差が生じる。上述の通り、REFCOPYノード26の電圧は外部基準電位VREFと等しいので、REFOUT端子10にはVREFよりも 0.1V 分高い電位が出力される。従って、インプットレシーバ1のREF端子3にはVREFiとしてVREFに 0.1V を加えた分の電位がかかることになる。このようにこの実施の形態では、第1の実施の形態と異なり、和の形式で、外部VREF端子7の電位に対して変化を加えた内部VREFi電位を生成することができ、容易にきめ細かく内部VREFi電位を生成できる。

【0046】

ここで、上述したように一般的なシステムではVREFは複数の半導体集積回路で共有されており、その半導体集積回路の都合だけで電位を変更することができないが、本実施の形態を適用することによりVREFを個別の半導体集積回路ごとに最適な値に変更でき、個々の半導体集積回路のセットアップタイム、ホールドタイムを最小とすることができます。このため、ノイズが信号線に乗って、フェイルとなっていた場合でも本実施の形態ではバスとなる可能性が増加する。さらに内部基準電位を変化させることで、Hレベル取り込み時の電圧マージンとLレベル取り込み時の電圧マージンとを等しくする、もしくは近づけることができ、半導体集積回路としてのデータ取り込み時の電圧マージンを向上することができる

なお、本実施の形態は特に半導体記憶装置に限定して適用されるものではなく、メモリ混載論理集積回路やMPUなどの入力回路周辺にも同様に適用できる。

【0047】

また、半導体集積回路を搭載するマザーボードとの相性により、搭載後に特性測定を行って、適宜、内部基準電位VREFiの電位を変更することも可能である。

【0048】

なお、第1の実施の形態で採用された回路の出力であるVREFiをこの第2

の実施の形態のREFINとして用いて、 $V_{REFi} = (V_{REF} \times 0.9) + 0.1V$ という内部基準電圧を発生させることができる。

【0049】

さらに第1の実施の形態の変形例同様に本実施の形態を変形させて適用することで、入力データの論理値が3値以上で外部基準電位VREFが複数ある場合も同様に実現できる。

(第3の実施の形態)

第1及び第2の実施の形態では、外部基準電位VREFと内部基準電位VREFiの関係が固定されている例について説明した。あらかじめその半導体集積回路が使用される環境がわかっている場合は、その環境に適した外部基準電位VREFと内部基準電位VREFiの関係を半導体集積回路上に作り込んでおけば良いが、実際にはその半導体集積回路がどのような環境で使用されるかわからない場合があり、そうした場合にはその環境に適した外部基準電位VREFと内部基準電位VREFiとの関係もまたわからないことになる。そこで、この実施の形態ではヒューズによるプログラミングや、レジスタセットによって外部基準電位VREFと内部基準電位VREFiとの関係を変えられるような機構を持つ半導体集積回路の例について示す。

【0050】

図10に本実施の形態に関わる半導体集積回路の構成であるブロック図を示す。インプットレシーバ1は第1の実施の形態同様の構成を有している。インプットレシーバ1の入力端子2には外部データ端子6が接続され、CLOCK端子4には半導体集積回路外部から供給されるか、もしくは半導体集積回路内部で作られたCLOCK信号が接続される。外部VREF端子7は基準電位変換回路31のREFIN端子32に接続される。基準電位変換回路31にはREFIN端子32、REFOUT端子33、CTRL端子34の3つの端子があり、CTRL端子34から入力される信号によってREFIN端子32から入力された電位を別の電位に変換してREFOUT端子33から出力する。

【0051】

基準電位変換回路31の出力であるREFOUT端子33は内部基準電位VR

E F i 配線 1 1 に接続され、内部基準電位V R E F i 配線 1 1 はインプットレシーバ 1 のR E F 端子 3 に接続されている。基準電位変換回路 3 1 のC T R L 端子 3 4 へはセレクター 3 5 からのC T R L 信号がC T R L 配線 3 6 を介して入力されている。セレクター 3 5 は第1 入力端子 3 7 、第2 入力端子 3 8 、出力端子 3 9 及びS E L E C T 端子 4 0 の4 つの端子を有していて、S E L E C T 端子 4 0 から入力されるS E L E C T 信号に基づいて、第1 入力端子 3 7 または第2 入力端子 3 8 のいずれかの入力端子からの信号を出力端子 3 9 に出力する。この場合には例えばS E L E C T 信号がL レベルなら第1 入力端子 3 7 からの入力信号、S E L E C T 信号がH レベルならば第2 入力端子 3 8 からの入力信号を出力端子 3 9 から出力されるものとして設定する。ここで、セレクター 3 5 の第1 入力端子 3 7 にはヒューズ 4 1 からの出力信号が入力されている。

【0052】

ヒューズ 4 1 は例えばレーザーブローヒューズ、電気的溶断ヒューズ、絶縁膜破壊型ヒューズ等の、一度情報を書き込めば二度と消すことができない、いわゆる不可逆型の記憶素子が利用できる。この例ではヒューズ 4 1 には3 ビットの情報を蓄えられるものとする。ヒューズからは出力端子 4 2 からセレクター 3 5 に信号が出力されている。また、セレクター 3 5 の第2 入力端子 3 8 にはレジスタ 4 3 からの出力信号が入力されている。レジスタ 4 3 は例えばD R A M 素子、S R A M 素子、E P R O M 素子、フリップフロップ等の、一度書きこんだ情報を再度書き直すことができる、可逆型の記憶素子を示している。この例ではレジスタ 4 3 には3 ビットの情報を蓄えられるものとする。レジスタ 4 3 からは出力端子 4 4 からセレクター 3 5 に信号が出力されている。

【0053】

ここで、図1 1 には本実施の形態の基準電位変換回路 3 1 の回路図が示される。基準電位変換回路 3 1 は一例としてオペレーションアンプ 4 5 、第1 乃至第4 のN M O S トランジスタ 4 6 , 4 7 , 4 8 , 4 9 、第1 乃至第3 の抵抗素子 5 0 , 5 1 , 5 2 、及び定電流源 5 3 を有している。基準電位変換回路 3 1 のR E F I N 端子 3 2 がオペレーションアンプ 4 5 の負端子 5 4 に接続されている。このオペレーションアンプ 4 5 の正端子 5 5 は基準電位変換回路 3 1 内のR E

F C O P Y ノード 5 6 に、出力端子 5 7 は N M O S トランジスタ 4 6 のゲート端子に接続されている。第 1 の N M O S トランジスタ 4 6 のドレイン端子は R E F C O P Y 端子 5 6 に、ソース端子は接地電位に接続されている。

【0054】

定電流源 5 3 は、例えば $10 \mu A$ の定電流を流すものである。第 1 乃至第 3 の抵抗素子 5 0, 5 1, 5 2 はそれぞれ例えば $1 K\Omega$, $2 K\Omega$, $4 K\Omega$ の抵抗値を持つ抵抗素子である。オペレーションアンプ 4 5 は正端子 5 5 に入力される電位が負端子 5 4 に入力される電位よりも高い場合に、出力端子 5 7 から H レベル電位の信号を出力し、逆の場合に L レベル電位の信号を出力する。

【0055】

この例では R E F I N 端子 3 2 よりも R E F C O P Y ノード 5 6 の電位が高いと出力端子 5 7 の電位は H レベルになるため、第 1 の N M O S トランジスタ 4 6 がオン状態になり、R E F C O P Y ノード 5 6 の電位が下降する。逆に、R E F I N 端子 3 2 よりも R E F C O P Y ノード 5 6 の電位が低いと出力端子 5 7 が L レベルになるため、第 1 N M O S トランジスタ 4 6 がオフ状態になり、R E F C O P Y ノード 5 6 の電位が上昇する。その繰り返しで R E F C O P Y ノード 5 6 の電位と R E F I N 端子 3 2 の電位が等しくなったときに平衡状態となる。その場合に、R E F C O P Y ノード 5 6 には R E F I N 端子 3 2 と同じ電位、すなわち外部基準電位 V R E F と等しい電位が現れる。この例では 3 ビットの例であるため、基準電位変換回路 3 1 の C T R L 端子 3 4 から入力された C T R L 信号は各ビットの信号 C T R L <0>, C T R L <1>, C T R L <2> は第 2 乃至第 4 の N M O S トランジスタ 4 7, 4 8, 4 9 のゲートにそれぞれ接続される。ここで、これら N M O S トランジスタ 4 7, 4 8, 4 9 のオン抵抗は無視できるほど小さいものとする。

【0056】

たとえば、C T R L <0> = C T R L <1> = C T R L <2> = H レベルの場合には、第 2 乃至第 4 の N M O S トランジスタ 4 7, 4 8, 4 9 がオンになり、定電流源 5 3 からの電流は第 1 乃至第 3 の抵抗素子 5 0, 5 1, 5 2 を流れずに第 2 乃至第 4 の N M O S トランジスタ 4 7, 4 8, 4 9 を流れる。上述の通り、

第2乃至第4のNMOSトランジスタ47, 48, 49のオン抵抗は無視できるほど小さいため、REFOUT端子33の電位とREFCOPYノード56の電位は等しくなり、REFOUT端子33にはREFIN端子32の電位と等しい電位、すなわち外部基準電位VREFと等しい電位が現れる。

【0057】

また、CTRL<0>=CTRL<1>=CTRL<2>=Lレベルの場合は第2乃至第4のNMOSトランジスタ47, 48, 49がオフになり、定電流源53は第1乃至第3の抵抗素子50, 51, 52と題1のNMOSトランジスタ46に $10\mu A$ の電流を流す。この場合には、第1乃至第3の抵抗素子50, 51, 52の両端にはそれぞれ $10mV$, $20mV$, $40mV$ の電位差が生じる。上述の通り、REFCOPYノード56の電圧は外部基準電位VREFと等しいので、REFOUT端子33には外部基準電位VREFよりも $70mV$ 高い電位が出力される。すなわち、CTRL信号の組合せによってREFOUT端子33には $10mV$ 刻みでVREFから $VREF + 70mV$ までの電位を出力させることができる。この場合のCTRL信号のHレベルまたはLレベルの組合せと、REFOUT端子33の電位との関係は下表1のようになる。

【0058】

【表1】

CTRL<2>	CTRL<1>	CTRL<0>	REFOUT 端子の電位
0	0	0	VREF + 70mV
0	0	1	VREF + 60mV
0	1	0	VREF + 50mV
0	1	1	VREF + 40mV
1	0	0	VREF + 30mV
1	0	1	VREF + 20mV
1	1	0	VREF + 10mV
1	1	1	VREF

【0059】

ここで、図10に示された回路を持つ半導体集積回路を、あるシステムに搭載した後、レジスタ43に“111”を書き込む。ここで、レジスタ43はマザー

ボード上に搭載された特定の半導体装置に組み込んで、マザーボード上のコントロールバスを介してマザーボード上に搭載された各半導体装置に入力させても良い。また、各半導体装置内にレジスタを設けて制御してもよい。そしてSELECT信号をHレベルにしてレジスタ43に書き込まれたデータ“111”をCTR L端子34に導く。すると基準電位変換回路31ではREFOUT33電位はREFIN32電位と等しくなるので、内部VREFi電位は外部基準電位VREFと等しくなる。

【0060】

この状態で、外部基準電位VREFを上下に振り、VREF電位のマージンを測定する。その結果、このシステムでは内部基準電位VREFiの電位を外部基準電位VREFよりも50mV高くした場合にVREFのHレベルマージンとVREFのLレベルマージンが等しくなり、システムとしてのVREFマージンが最も広くなることが判明したと仮定する。その場合、ヒューズ41あるいはレジスタ43に上表1にあるように“010”なるデータを書きこむ。ヒューズ41に記録されたデータを用いる場合にはSELECT信号をLレベルに設定し、レジスタ43に記録されたデータを用いる場合にはSELECT信号をHレベルにする。以降は内部VREFi電位は外部基準電位VREFよりも50mVだけ高い電位になり、システムとして見た場合のVREF電位マージンが拡大する。

【0061】

このように半導体集積回路ごとに内部基準電位を最適な値に変化させることで、Hレベル取り込み時のセットアップ、ホールドタイムと、Lレベル取り込み時のセットアップ、ホールドタイムとを等しくする、もしくは近づけることができる。半導体集積回路としてのセットアップ、ホールドタイムを改善することができる。さらに内部基準電位を変化させることで、Hレベル取り込み時の電圧マージンとLレベル取り込み時の電圧マージンとを等しくする、もしくは近づけることができ、半導体集積回路としてのデータ取り込み時の電圧マージンを向上することができる。

【0062】

なお、ヒューズ41としてレーザープローヒューズを用いる場合には、ウェハ

一状態でヒューズを切断しなければならないため、その半導体集積回路をパッケージに封入後にヒューズを切断してデータを記録させることができない。そのため、当該半導体集積回路を実装したシステムを試験的にいくつか作ってVREF電位マージンを測定して最適と思われるCTRL信号の組合せを見つけ、後続のロット内のウェハーをレーザーヒューズブローする工程で、その組合せのデータを適用する。

【0063】

一方、ヒューズとして電気的に溶断できるヒューズ、絶縁膜破壊型ヒューズを用いれば、当該半導体集積回路をシステムに実装し、VREF電圧マージンを測定した後でヒューズに最適と思われるCTRL信号の組合せを記録させることができるために、その半導体集積回路とそのシステムの組合せで最適なCTRL信号の組合せを適用できるという利点がある。

【0064】

更に、ヒューズのかわりにレジスタを使用すれば、いつでもCTRL信号の組合せを変更することができるので、当該半導体集積回路を一旦あるシステムに実装した後に別のシステムに換装した場合でも、新しいシステム上で最適と思われるCTRL信号の組合せに書き換えることができるという利点が生じる。

(第4の実施の形態)

本実施の形態では、第1乃至第3の実施の形態にかかる半導体集積回路を複数個、例えば20個をマザーボード上に搭載する。図12に示されるようにマザーボード58上には各半導体集積回路59へ入力されるアドレス信号線、データ線、クロック信号線60が配置されている。マザーボード58上には外部システムとの信号の入出力をを行う入出力端子部61がその表面の一辺の一部に設けられている。外部基準電位VREFが入出力部61からVREF信号配線62を介して、各半導体集積回路59に入力されている。各半導体集積回路はここでは、実際には各リード63はマザーボード上に設けられたアドレス信号線、データ信号線、クロック信号線60に接続されているが、個別のリード63と各信号線との接続は図示していない。

【0065】

マザーボード58上に搭載された半導体集積回路59はその特性に応じて、内部基準電位VREFiがマザーボード58上で設定できる。本実施の形態を適用することによりVREFを個別の半導体集積回路ごとに変更でき、個々の半導体集積回路のセットアップタイム、ホールドタイムを最小とした半導体装置システムを提供することができる。さらに内部基準電位を変化させることで、Hレベル取り込み時の電圧マージンとLレベル取り込み時の電圧マージンとを等しくする、もしくは近づけることができ、個々の半導体集積回路としてのデータ取り込み時の電圧マージンを向上させた半導体装置システムを提供することができる。

【0066】

【発明の効果】

本発明によれば、内部基準電位を変化させることで、Hレベル取り込み時のセットアップ、ホールドタイムと、Lレベル取り込み時のセットアップ、ホールドタイムとを等しくする、もしくは近づけることができ、半導体集積回路としてのセットアップ、ホールドタイムを改善することができる。

【0067】

さらに内部基準電位を変化させることで、Hレベル取り込み時の電圧マージンとLレベル取り込み時の電圧マージンとを等しくする、もしくは近づけることができ、半導体集積回路としてのデータ取り込み時の電圧マージンを向上することができる。

【図面の簡単な説明】

【図1】 本発明の第1の実施の形態に関する半導体集積回路の構成を示すブロック図。

【図2】 本発明の第1の実施の形態に関する基準電位変換回路の回路図。

【図3】 本発明の第1の実施の形態に関するインプットレシーバの回路図。

【図4】 本発明の第1の実施の形態に関する動作波形図。

【図5】 本発明の第1の実施の形態に関する奇数番目のサイクルでHレベルを取り込む場合のシュームプロット。

【図6】 本発明の第1の実施の形態に関する偶数番目のサイクルでLレベルを取り込む場合のシュームプロット。

【図7】 本発明の第1の実施の形態に関する図5と図6の合成シームプロット。

【図8】 本発明の第1の実施の形態の変形例に関する構成を示すブロック図。

【図9】 本発明の第2の実施の形態に関する構成を示すブロック図。

【図10】 本発明の第3の実施の形態に関する構成を示すブロック図。

【図11】 本発明の第3の実施の形態に関する基準電位変換回路の回路図。

【図12】 本発明の第4の実施の形態に関する半導体装置システムの構成を示す斜視図。

【図13】 従来の半導体集積回路の入力回路部分を表すブロック図。

【符号の説明】

1、22 インプットレシーバ

2 入力端子

3 R E F 端子

4 クロック端子

5, 39, 42, 44, 57 出力端子

6 外部データ端子

7 外部V R E F 端子

8, 31 基準電位変換回路

9, 32 R E F I N 端子

10, 33 R E F O U T 端子

11 V R E F i 配線

12 容量

13 第1の抵抗

14 第2の抵抗

15, 17, 18, 19, 20 第1乃至第5のN M O S トランジスタ

16, 21 第1, 第2のP M O S トランジスタ

23, 45 オペレーションアンプ

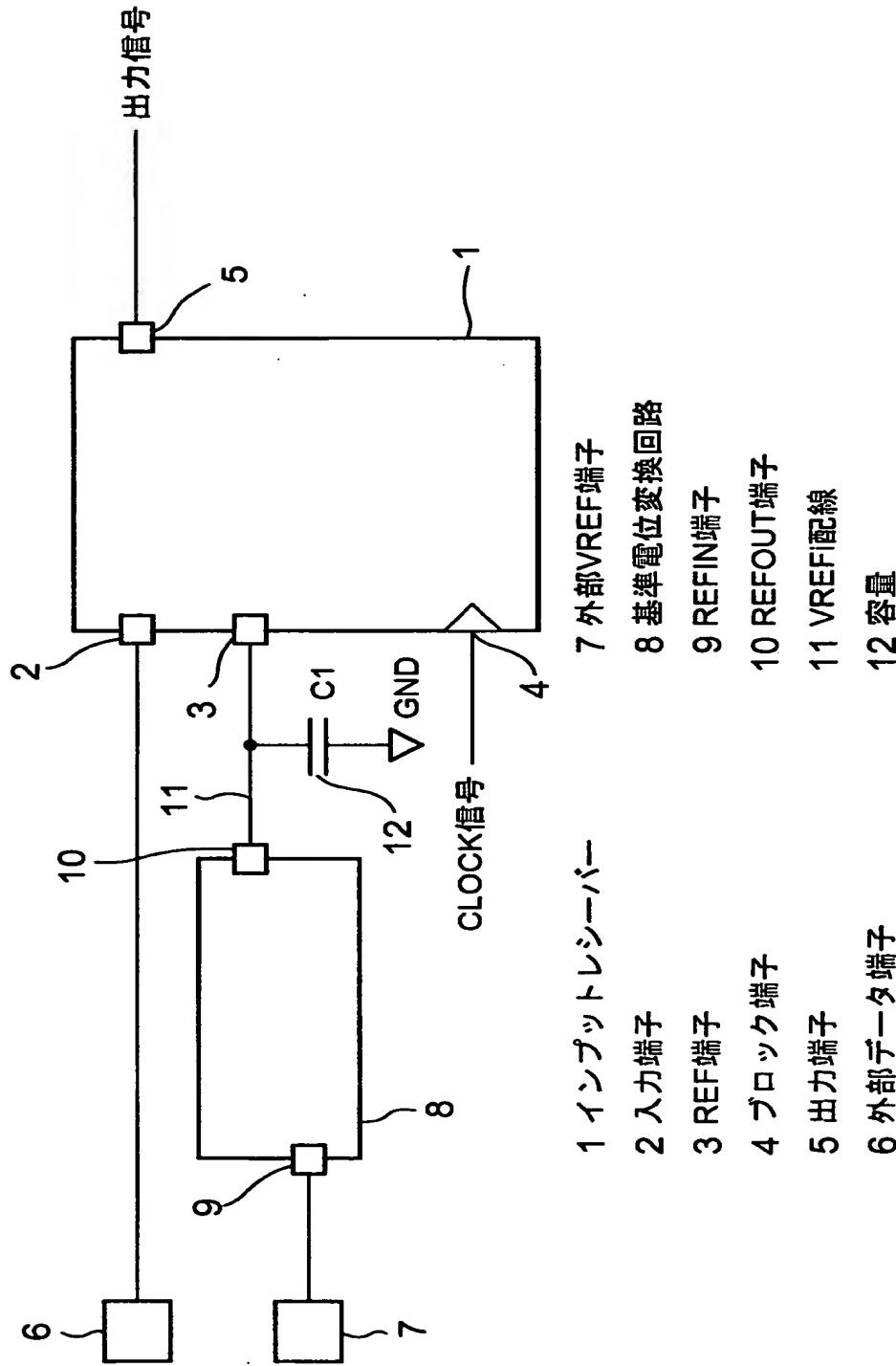
24, 54 負端子

25, 55 正端子

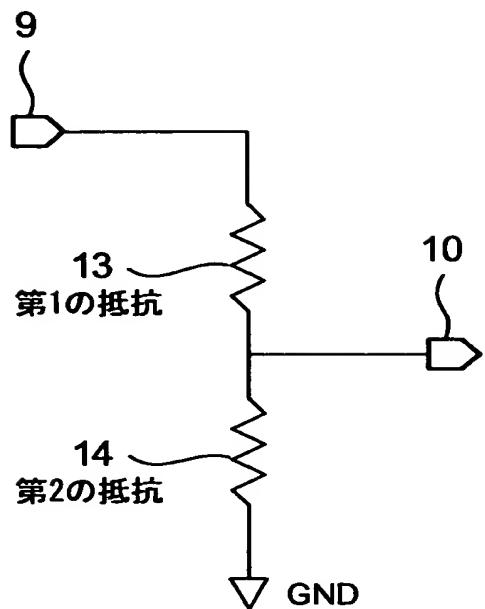
- 26, 56 REF COPY ノード
27, 39, 42, 44, 57 出力端子
28 NMOS トランジスタ
29 抵抗素子
30, 53 定電流源
34 CTRL 端子
35 セレクター
36 CTRL 配線
37 第1入力端子
38 第2入力端子
40 SELECT 端子
41 ヒューズ
43 レジスタ
46, 47, 48, 49 第1乃至第4のNMOS トランジスタ
50, 51, 52 第1乃至第3の抵抗素子
58 マザーボード
59 半導体集積回路
60 アドレス信号線、データ線、クロック信号線
61 入出力端子部
62 VREF 信号配線
63 リード

【書類名】 図面

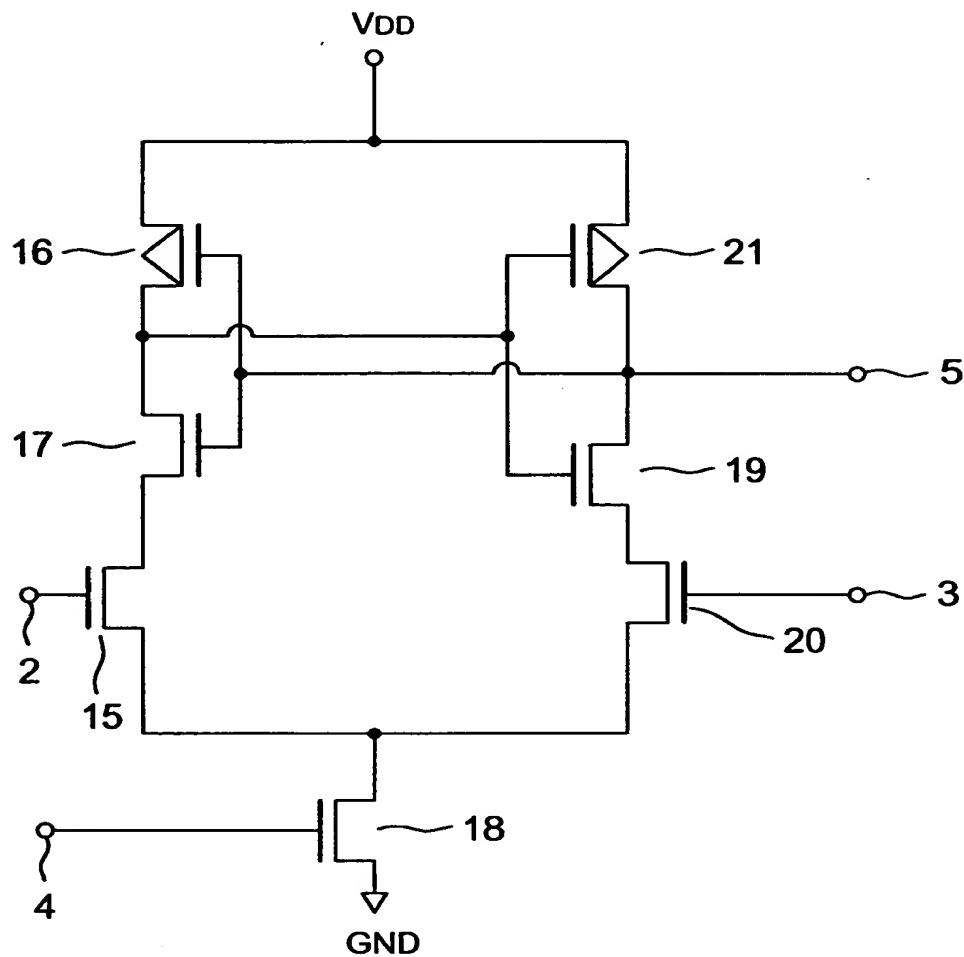
【図1】



【図2】



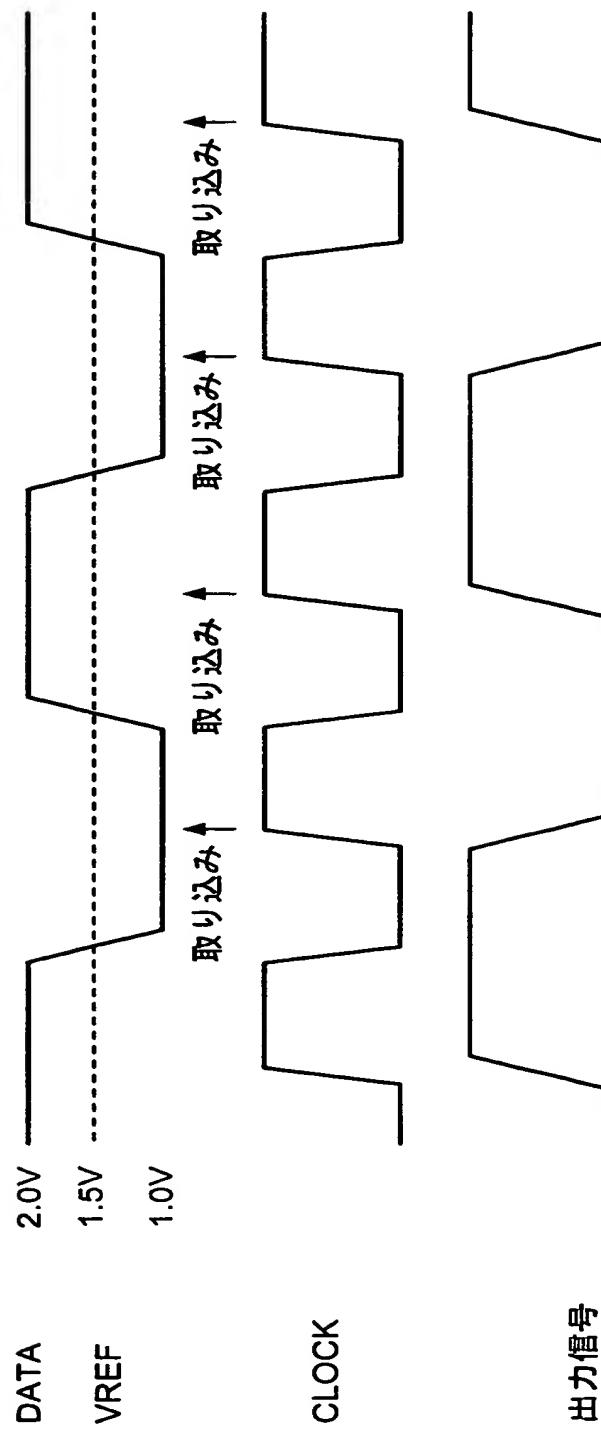
【図3】



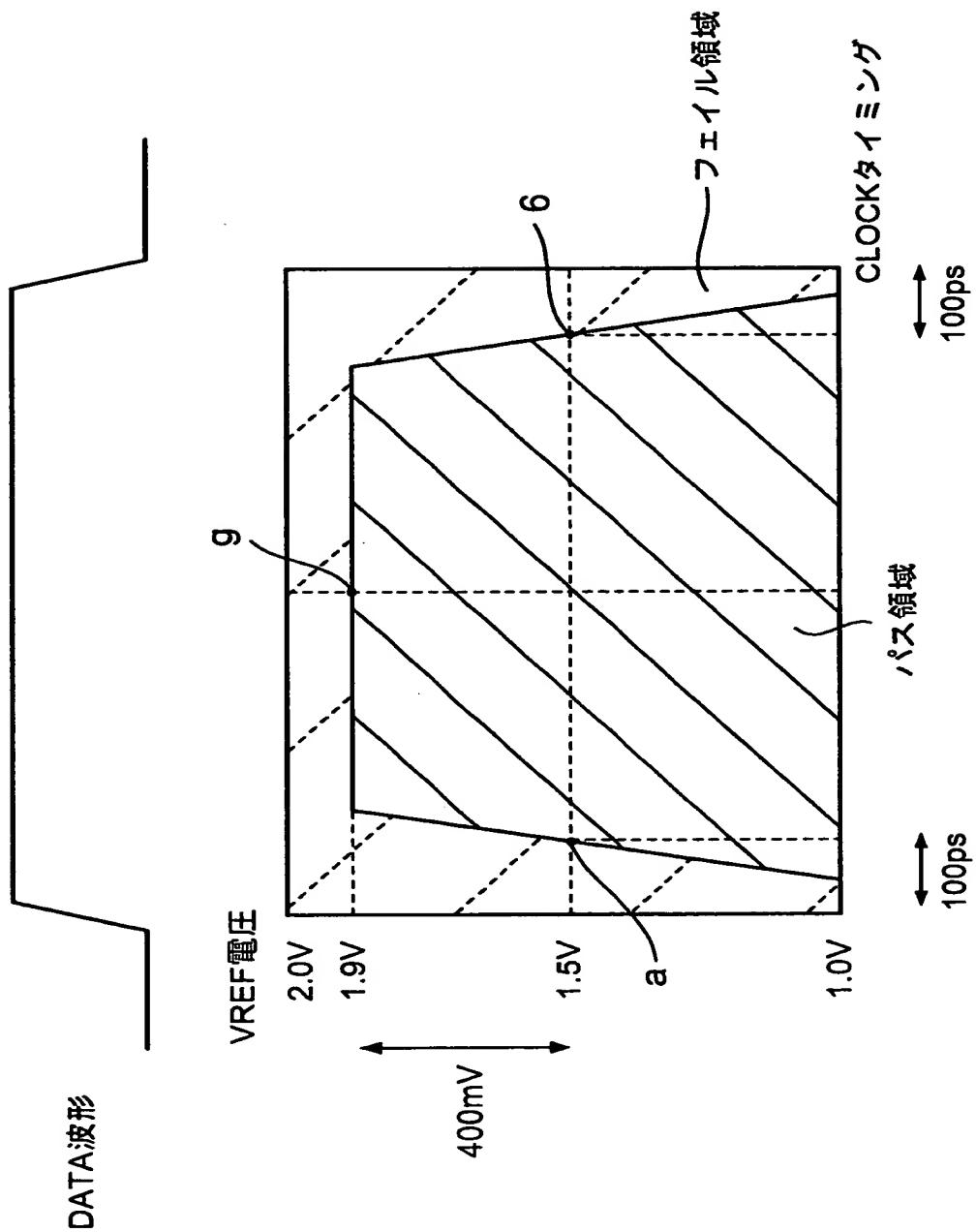
15,17,18,19,20 第1乃至第5のNMOSトランジスタ

16,21 第1, 第2のPMOSトランジスタ

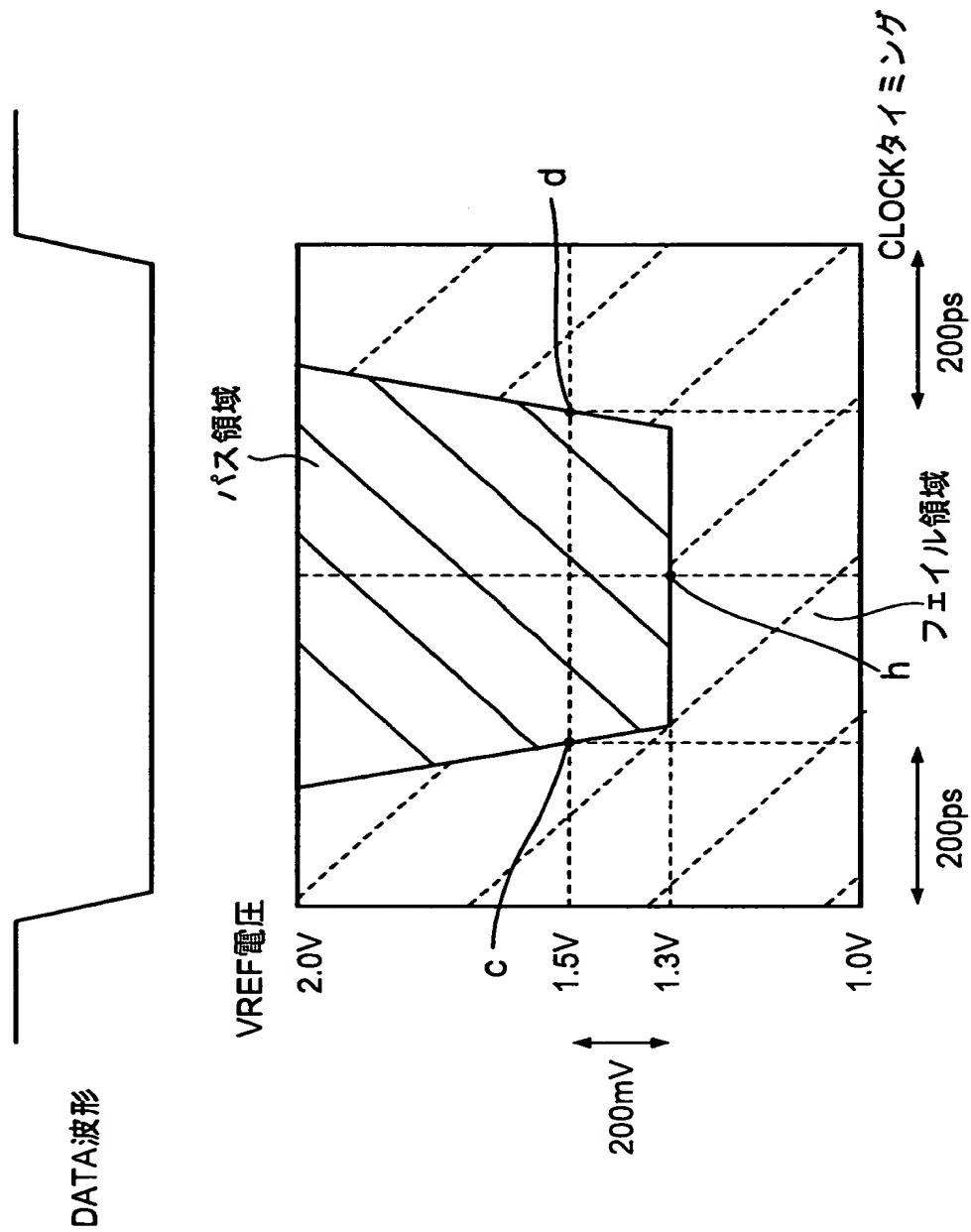
【図4】



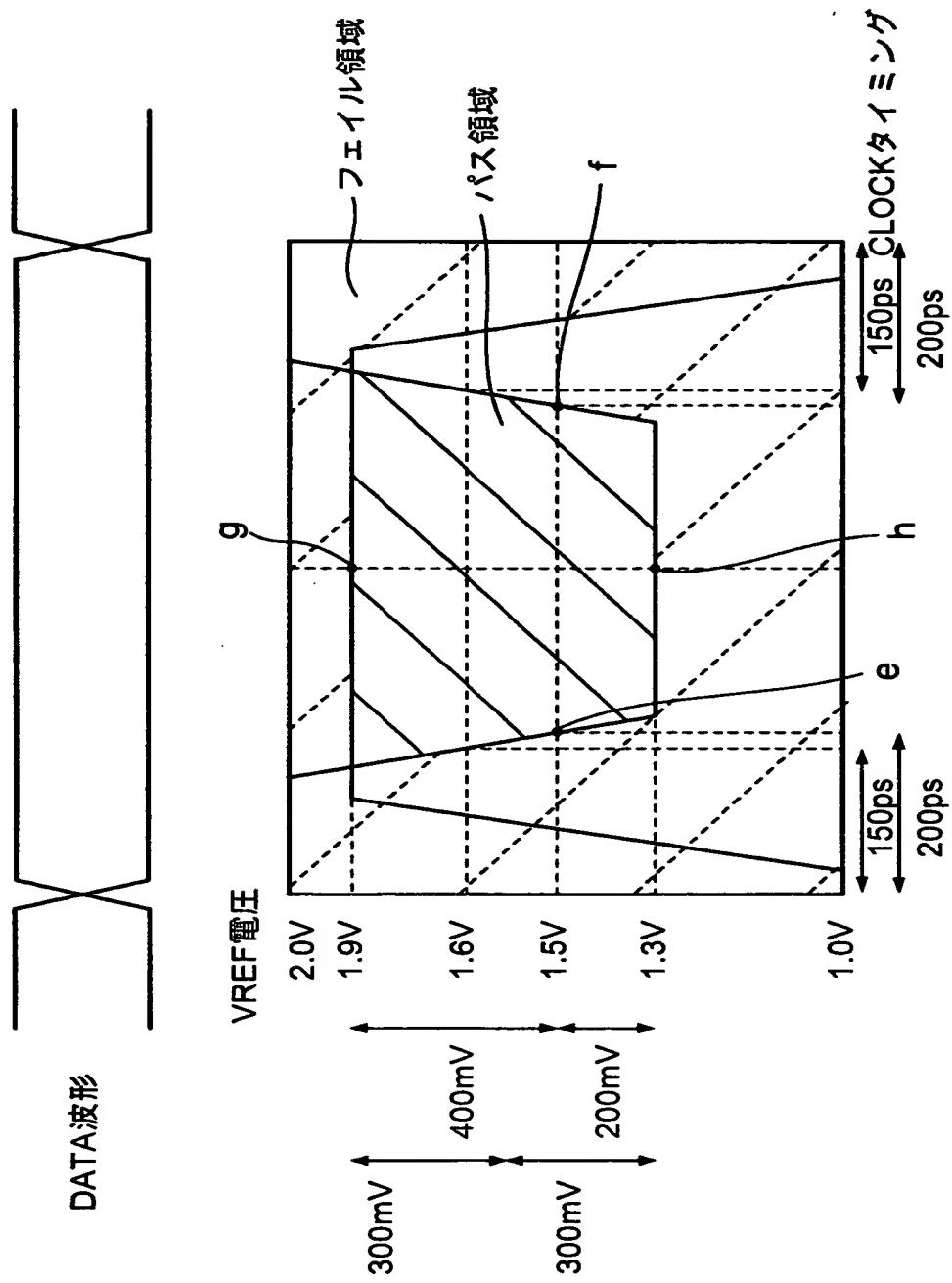
【図5】



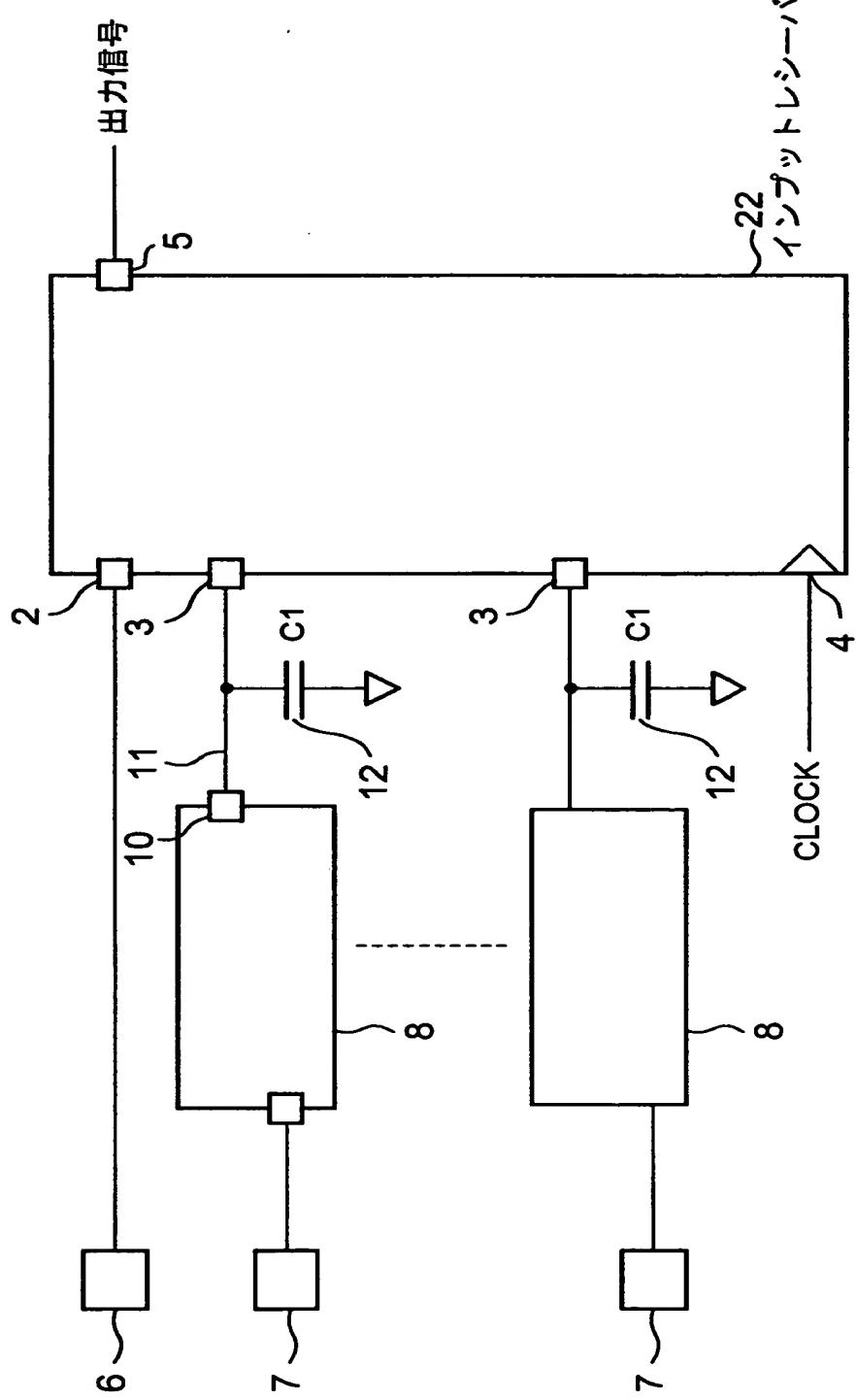
【図6】



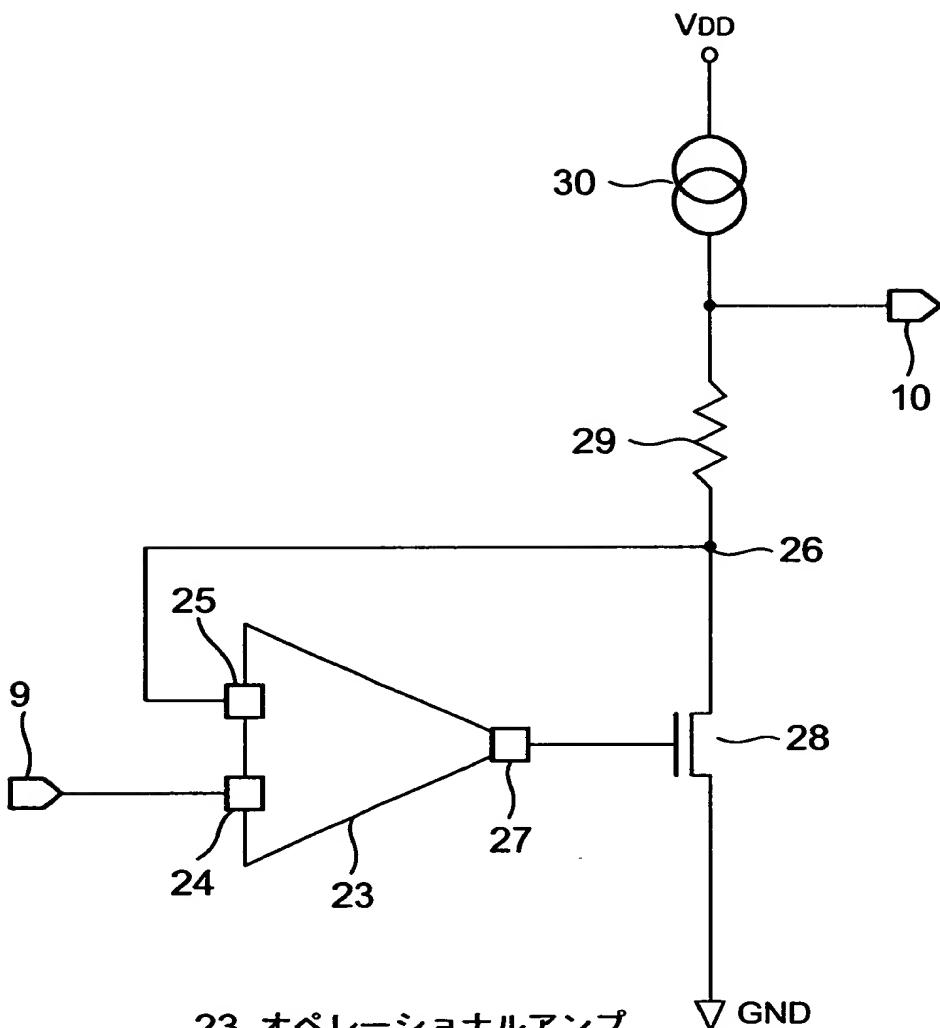
【図7】



【図8】



【図9】



23 オペレーションアンプ

24 負端子

25 正端子

26 REF COPYノード

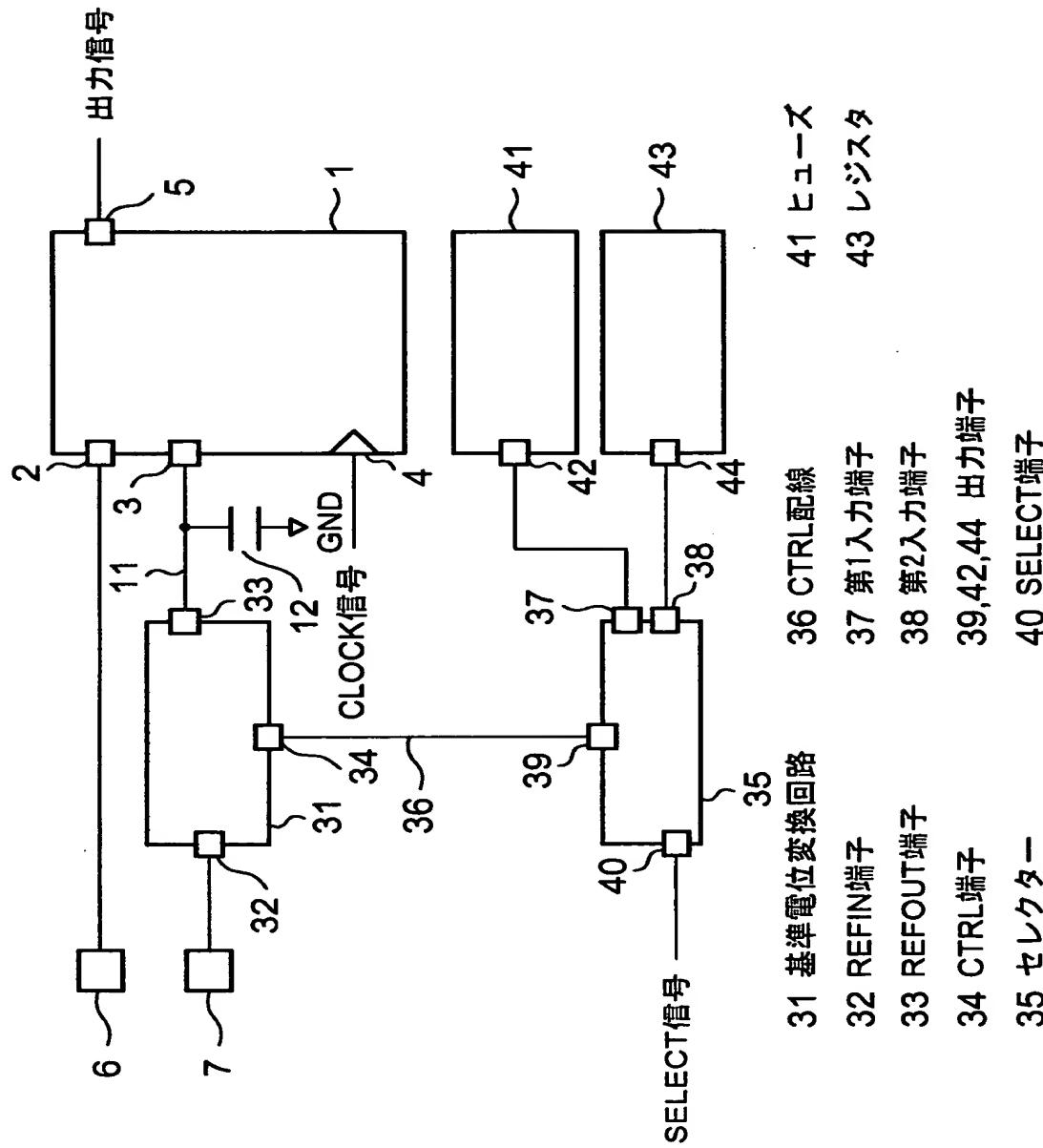
27 出力端子

28 NMOSトランジスタ

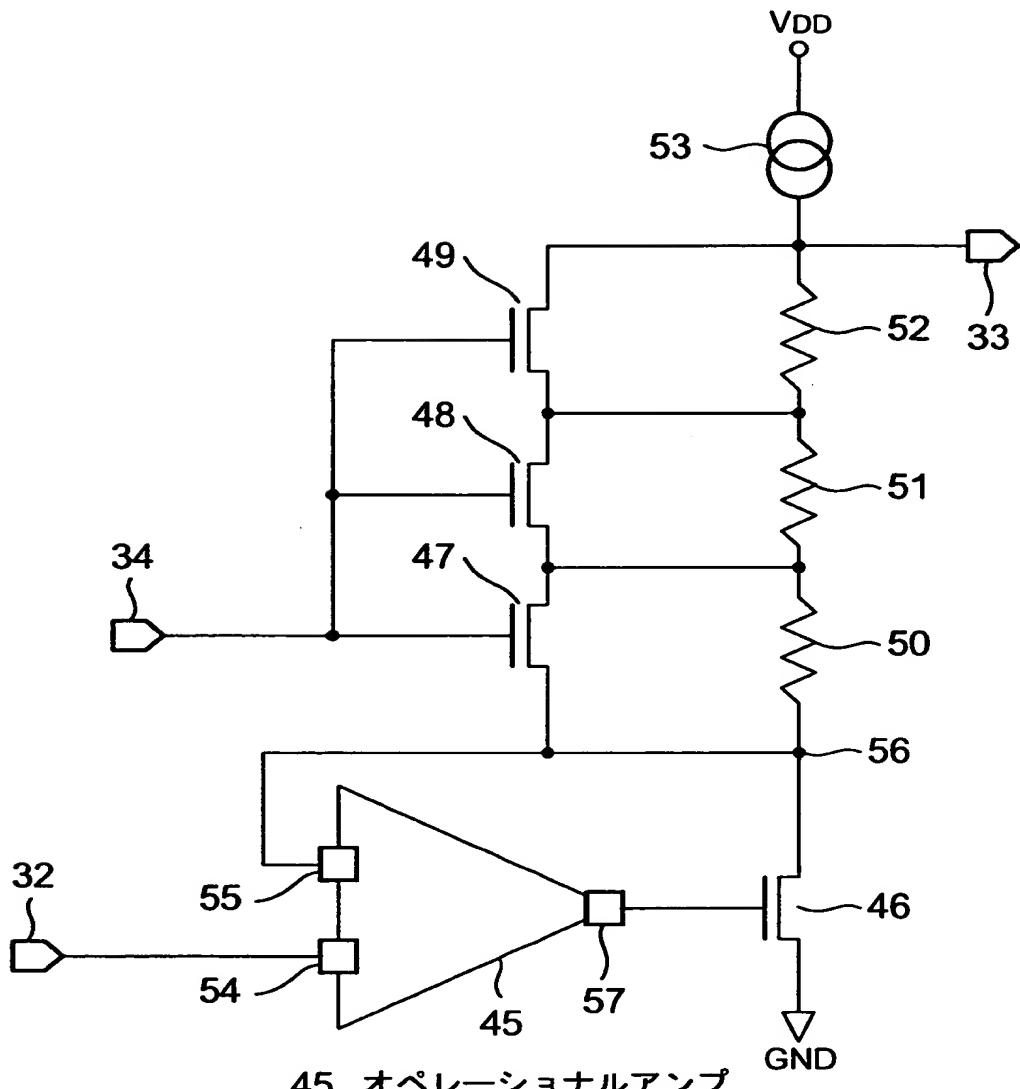
29 抵抗素子

30 定電流源

〔図10〕



【図11】



45 オペレーションアルアンプ

46,47,48,49 第1乃至第4NMOSトランジスタ

50,51,52 第1乃至第3の抵抗素子

53 定電流源

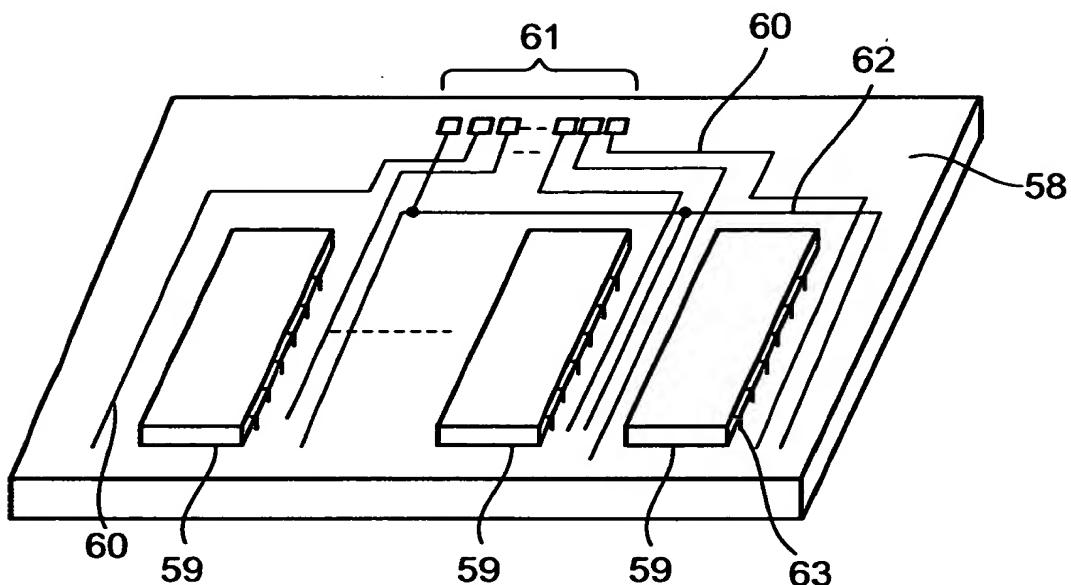
54 負端子

55 正端子

56 REFCOPYノード

57 出力端子

【図12】



58 マザーボード

59 半球体某積回路

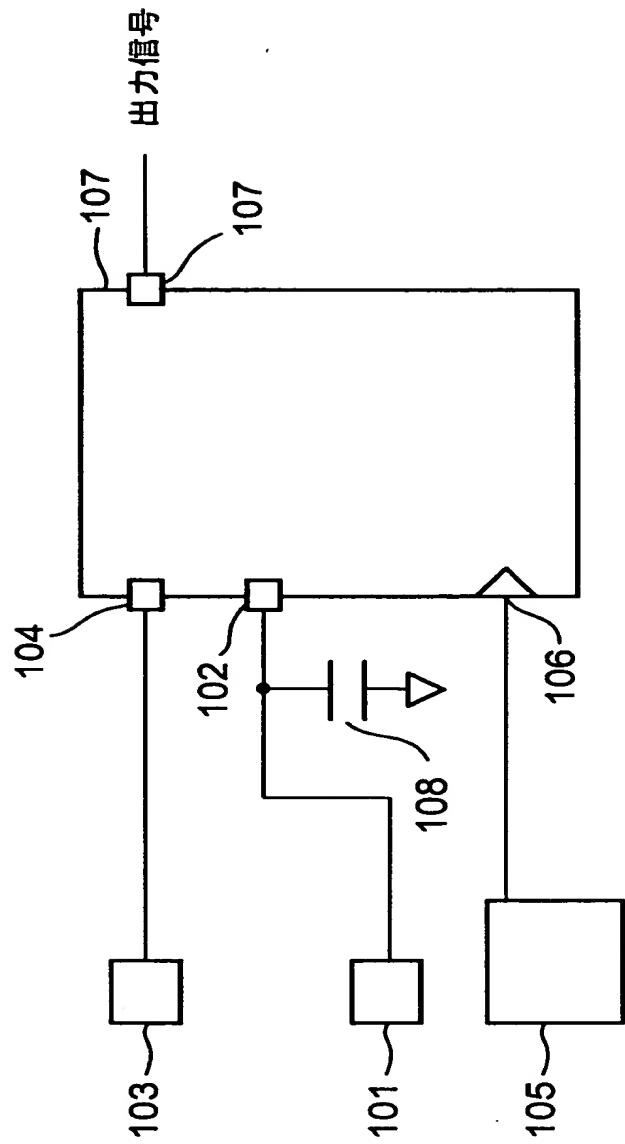
60 アドレス信号線、データ線、クロック信号線

61 入出力端子部

62 VREF信号配線

63 リード

【図13】



【書類名】 要約書

【要約】

【課題】 半導体集積回路の入力回路に対して、良好なセットアップ、ホールドタイム、基準電位のHレベルマージン及びLレベルマージンとなるような基準電位を入力させることを目的とする。

【解決手段】 外部基準電位REFINが入力され、外部基準電位とは異なる内部基準電位VREFiを出力する基準電位変換回路8と、基準電位変換回路8の出力電位VREFiが基準電位REFとして入力されて、データ信号が入力され、入力されたデータ信号と基準電位REFとを比較判定して、判定結果を出力する入力回路1とを有することで、半導体集積回路としてのセットアップ、ホールドタイムを改善し、データ取り込み時の電圧マージンを向上する。

【選択図】 図1

認定・付加情報

特許出願の番号	特願2000-188857
受付番号	50000786986
書類名	特許願
担当官	第八担当上席 0097
作成日	平成12年 6月26日

<認定情報・付加情報>

【提出日】 平成12年 6月23日

次頁無

出願人履歴情報

識別番号 [000003078]

1. 変更年月日 1990年 8月22日

[変更理由] 新規登録

住 所 神奈川県川崎市幸区堀川町72番地

氏 名 株式会社東芝